

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

010317746 ****Image available****

WPI Acc No: 95-219009/199529

XRAM Acc No: C95-101171

XRPX Acc No: N95-171780

Semiconductor device mfr. - using CVD method to deposit plug metal with aluminium@ in via hole to form via plug

Patent Assignee: KAWASAKI STEEL CORP (KAWI)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 7130848	A	19950519	JP 93278378	A	19931108	H01L-021/768	199529 B

Priority Applications (No Type Date): JP 93278378 A 19931108

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 7130848	A		13			

Abstract (Basic): JP 7130848 A

The manufacturing method involves formation of an aluminium wiring layer (30) on an insulating film (20). The insulation film is formed on a silicon substrate (10). An interlayer insulating film (40) is formed on the wiring layer in which a via hole is installed. This via hole exposes the aluminium layer. A via plug (51) is deposited on the aluminium layer in the via hole by a CVD method.

On the interlayer insulating film, a SOG film (35) which is harder than the plug metal is formed. This SOG film is chemically polished and the via plug projecting from the via hole is removed. This process is followed by planarisation of the exposed Al surface on which a second wiring layer (60) is formed to provided a multilayer interconnection.

ADVANTAGE - Forms even exposure surface. Deposits plug metal without clearance in via hole.

Dwg.1/14

Title Terms: SEMICONDUCTOR; DEVICE; MANUFACTURE; CVD; METHOD; DEPOSIT; PLUG; METAL; ALUMINIUM; HOLE; FORM; PLUG

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/768

International Patent Class (Additional): H01L-021/3205

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04838248 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 07-130848 [JP 7130848 A]

PUBLISHED: May 19, 1995 (19950519)

INVENTOR(s): KOUNO YUMIKO

TAKEYASU NOBUYUKI

KONDO HIDEKAZU

YAMAMOTO HIROSHI

OTA TOMOHIRO

APPLICANT(s): KAWASAKI STEEL CORP [000125] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 05-278378 [JP 93278378]

FILED: November 08, 1993 (19931108)

INTL CLASS: [6] H01L-021/768; H01L-021/3205

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA)

ABSTRACT

PURPOSE: To form an exposure surface flatly by burying plug metal into a via hole without any clearance.

CONSTITUTION: A lower-layer metal wiring 30 of Al is formed on an Si substrate body 10. Then, after an interlayer insulation film 40 is formed on it, a via hole is made. Then, a via plug 51 is selectively deposited in the via hole by a chemical vapor growth method and then the via plug 51 is protruded upward from the open hole edge of the via hole. Then, an SOG film 35 which is harder than the plug metal is formed on the interlayer insulation film 40 thicker than the via plug which is protruded from the surface to reinforce the via plug. Then, the via plug which is protruded is eliminated along with the SOG film 35 by chemical mechanical polishing and then the surface is flattened. After that, an upper-layer metal wiring 60 is formed on it to form a multilayer wiring structure.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-130848

(43) 公開日 平成7年(1995)5月19日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768 21/3205			H 0 1 L 21/ 90 21/ 88	B N
審査請求 未請求 請求項の数 3 O L (全 13 頁)				

(21) 出願番号 特願平5-278378

(22) 出願日 平成5年(1993)11月8日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 河野 有美子

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

(72) 発明者 竹安 伸行

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

(74) 代理人 弁理士 長谷川 芳樹 (外3名)

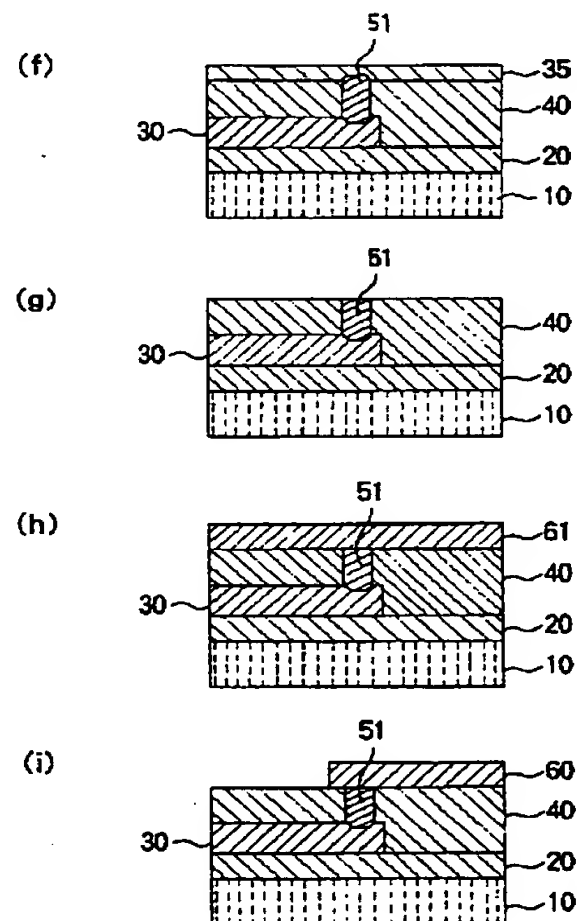
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【目的】 ヴィア孔内に隙間なくプラグ金属を埋め込み、その露出表面を平坦に形成する。

【構成】 Si基板本体10上にAlを含む下層金属配線30を形成する。次いで、この上に層間絶縁膜40を形成した後、ヴィア孔を穿設する。次に、化学気相成長法によって、ヴィア孔内にヴィアプラグ51を選択的に堆積させ、このヴィア孔の開孔端から上方にヴィアプラグ51を突出させる。次に、層間絶縁膜40上に、このプラグ金属よりも硬質なSOG膜35を、表面から突出したヴィアプラグよりも厚く形成して、ヴィアプラグを補強する。次に、ケミカルメカニカルポリッシングによって、SOG膜35と共に、突出したヴィアプラグを除去し、表面を平坦化する。この後、この上に上層金属配線60を形成して多層配線構造を形成する。



【特許請求の範囲】

【請求項1】 多層配線構造を有する半導体装置の製造方法であって、

基板上にA1を含む第1薄膜を形成し、この第1薄膜をパターンニングすることにより、下層金属配線を形成する第1工程と、

前記下層金属配線上に、この配線とこの上層に形成する上層配線とを絶縁する層間絶縁膜を形成する第2工程と、

前記層間絶縁膜にビア孔を穿設し、このビア孔の底部に前記下層金属配線を露出させる第3工程と、

化学気相成長法によって、前記ビア孔内にA1を含むプラグ金属を選択的に堆積させることにより、このビア孔の開孔端から上方に前記プラグ金属の少なくとも一部を突出させる第4工程と、

前記層間絶縁膜上に、このプラグ金属よりも硬質な絶縁性の保護膜を、前記ビア孔の開孔端から突出した前記プラグ金属よりも厚く形成する第5工程と、

この保護膜の表面にケミカルメカニカルポリッシングを施すことにより、この保護膜と共に、前記ビア孔の開孔端から突出した前記プラグ金属を除去し、露出表面を平坦化する第6工程と、

前記平坦化された露出表面上に、前記上層配線となるA1を含む第2薄膜を形成する第7工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項2】 前記第6工程では、ケミカルメカニカルポリッシングにより、前記保護膜から前記層間絶縁膜の上層部に至るまでを除去し、前記層間絶縁膜の露出表面を平坦化することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 多層配線構造を有する半導体装置の製造方法であって、

基板上にA1を含む第1薄膜を形成し、この第1薄膜をパターンニングすることにより、下層金属配線を形成する第1工程と、

前記下層金属配線上に、この配線とこの上層に形成する上層配線とを絶縁する層間絶縁膜を形成する第2工程と、

前記層間絶縁膜にビア孔を穿設し、このビア孔の底部に前記下層金属配線を露出させる第3工程と、

化学気相成長法によって、前記ビア孔内にA1を含むプラグ金属を選択的に堆積させることにより、このビア孔内に隙間なくプラグ金属を充填する第4工程と、

前記ビア孔の開孔端から突出した前記プラグ金属に対して、電解研磨を施すことにより、この突出したプラグ金属を除去し、前記層間絶縁膜の露出表面を平坦化する第5工程と、

この第5工程を経た露出表面上に、前記上層配線となるA1を含む第2薄膜を形成する第6工程と、
を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、多層配線構造を有する半導体装置の製造方法に関し、特に、多層化工程における露出表面の平坦化技術に関する。

【0002】

【従来の技術】 近年、半導体素子の高密度化、高集積化にともない多層配線技術が注目されている。この多層配線構造において、上下に隣合う層の金属配線間を接続する技術に、埋め込みビア構造を用いたものがある。この構造は、層間絶縁膜にビア孔を設け、このビア孔内に金属を埋め込み、ビアプラグを形成し、このビアプラグによって、上層配線層と下層配線層とを接続する。

【0003】 このビアプラグを形成する方法としては、化学気相成長法による選択CVD(Chemical Vapor Deposition)法によって、ビア孔内にA1もしくはA1合金を埋め込む方法が提案されている(特開平3-291920)。

【0004】

【発明が解決しようとする課題】 図13(a)に、CVD法によってビア孔内にビアプラグを形成した状態を示す。このように、ビア孔101の内部にビアプラグの頭部が位置する場合には、プラグ金属102が上方に突出する山型に形成される場合があり、この場合には、このプラグ金属102の頭部の裾野の部分とビア孔101の内壁との間に、空隙103が形成されることになる。このように、空隙103が形成された状態で、層間絶縁層104上に上層配線105を形成すると、図13(b)に示すように、上層配線105のカバレッジがこの空隙103の近傍で低下し、EM(エレクトロマイグレーション)耐性が悪化するなどの問題点があった。

【0005】 また、このような欠点を補うべく、図14(a)に示すように、ビア孔101の開孔端が埋まるようにプラグ金属102を堆積させた場合には、この上に上層金属105を堆積させた際に、層間絶縁層104上の上層金属105の厚さが、この部分のみが厚く形成されるという欠点があった。

【0006】 本発明は、このような課題を解決すべくなされたものであり、その目的は、多層化工程において、ビア孔内に隙間なくプラグ金属を埋め込むと共に、ビア孔内にプラグ金属を埋め込んだ状態で、その露出表面を平坦に形成する半導体装置の製造方法を提供することにある。

【0007】

【課題を解決するための手段】 本発明にかかる第1の半導体装置の製造方法は、まず第1工程として、基板上にA1を含む第1薄膜を形成し、この第1薄膜をパターンニングすることにより、下層金属配線を形成する。次に

第2工程として、この下層金属配線上に、この配線とこの上層に形成する上層配線とを絶縁する層間絶縁膜を形成する。次に第3工程として、この層間絶縁膜にビア孔を穿設し、このビア孔の底部に下層金属配線を露出させる。次に第4工程として、化学気相成長法によって、ビア孔内にAlを含むプラグ金属を選択的に堆積させることにより、このビア孔の開孔端から上方にプラグ金属を突出させる。次に第5工程として、層間絶縁膜上に、ビア孔の開孔端から突出したプラグ金属よりも厚く、このプラグ金属よりも硬質な絶縁性の保護膜（例えば、 SiO_2 、 SiN 等）を形成する。この際、ビア孔の内壁に空隙が形成されている場合には、この空隙内にも充填できるような埋め込み性の優れたSOG膜法、TEOSを原料としたCVD法などを用いて堆積させることが望ましい。次に第6工程として、この保護膜の表面にケミカルメカニカルポリッシング（CMP）を施すことにより、この保護膜と共に、ビア孔の開孔端から突出したプラグ金属を除去し、露出表面を平坦化する。なお、ビア孔内へのプラグ金属の埋め込みが不十分である場合には、ビア孔内壁とビアプラグと間の間隙にも保護膜を充填し、この保護膜をほぼすべて除去するように、層間絶縁膜の上層部に至るまでを除去して、層間絶縁膜の露出表面を平坦化することが望ましい。そして第7工程として、平坦化された露出表面上に、上層配線となるAlを含む第2薄膜を形成する。

【0008】また、本発明にかかる第2の半導体装置の製造方法は、まず第1工程として、基板上にAlを含む第1薄膜を形成し、この第1薄膜をパターンニングすることにより、下層金属配線を形成する。次に第2工程として、この下層金属配線上に、この配線とこの上層に形成する上層配線とを絶縁する層間絶縁膜を形成する。次に第3工程として、層間絶縁膜にビア孔を穿設し、このビア孔の底部に下層金属配線を露出させる。次に第4工程として、化学気相成長法によって、ビア孔内にAlを含むプラグ金属を選択的に堆積させることにより、このビア孔内に隙間なくプラグ金属を充填する。この際、層間絶縁膜の表面からプラグ金属が盛り上がるように、プラグ金属を十分に堆積させることが望ましい。次に第5工程として、ビア孔の開孔端から突出したプラグ金属に対し、電解研磨を施すことにより、この突出したプラグ金属を除去し露出表面を平坦化する。そして、第6工程として、この第5工程を経た露出表面上に、上層配線となるAlを含む第2薄膜を形成する。

【0009】なお、電解研磨とは、電解液中に試料面を陽極にして電解を行い、その表面の凸部を除去して平滑面を得るものであり、例えば、基板或いはプラグ部分を陽極にして無水酢酸と過塩素酸の混合水溶液中で電解し、ビア孔から突出したプラグ金属を優先的に電解除去する方法などが挙げられる。

【0010】

【作用】第1の半導体装置の製造方法において、ビア孔内に堆積させるAlを含むプラグ金属は、例えばタングステンなどのプラグ金属に比べて柔らかいため、そのままCMPを施すと、引きちぎられてしまい、ビア孔内に埋め込まれた形状で残すことができない。そこで、第4工程において、ビア孔の開孔端からプラグ金属の頭部が突出するように堆積させた後、第5工程において、突出したプラグ金属が隠れるように、このプラグ金属よりも固い SiO_2 膜などの保護膜で覆う。これにより、この突出したプラグ金属が、いわば補強されることになる。そして、このような前処理を施すことで、この表面にCMPを実施することが可能となる。

【0011】また、第2の半導体装置の製造方法では、ビア孔の内壁に空隙が形成されないように、層間絶縁膜の表面からプラグ金属が盛り上がるように十分に堆積させる。そして、この表面に電解研磨を施すと、層間絶縁膜の表面から突出したプラグ金属のみが除去される。電解研磨においては、溶解した金属が電解液の酸化剤と反応して試料面に薄い電解生成被膜を作るが、試料凸部においてはこの電解生成被膜が薄いために電流が強く流れこととなり、その他の部分に比べて速く進行するためである。

【0012】

【実施例】＜実施例1＞以下、実施例1にかかる半導体装置の製造方法について、図1のフローチャート、及び、図2、3の工程図に基づいて説明する。

【0013】まず、Si基板本体10の表面に下地絶縁膜20を形成した後、スパッタ法によって、この下地絶縁膜20上にCuが0.5重量%含まれるAl合金を500nmの膜厚に堆積させ、Al合金膜31を形成する（図2（a）、ステップ101）。

【0014】次に、Al合金膜31を所定のパターンに加工し、下層金属配線30を形成する（ステップ102）。配線パターンの形成は、露光装置を用いてレジストパターンを形成した後、塩素系のガスを用いたRIE（反応性イオンエッチング）によって行う。

【0015】次に、下層金属配線30が形成された下地絶縁膜20上に層間絶縁膜40を形成する（図2（b）、ステップ103）。この層間絶縁膜40は、プラズマCVD法によって SiO_2 膜を堆積させ、次いでこの上にSOG膜を形成した後、エッチバックを利用して形成する。

【0016】次に、層間絶縁膜40の上にフォトリソ膜を形成した後、フッ素系のガスを用いたRIEによって、直径0.8 μm のビア孔50を層間絶縁膜40の所定の位置に形成する（図2（c）、ステップ104）。

【0017】次に、塩素系のガスを用いたプラズマエッチングにより、ビア孔50の底部に露出した、下層金属配線30表面に存在するアルミナ膜70を除去する

(図2 (d), ステップ105)。

【0018】次に、大気にさらさずに反応容器に移送した後、この反応容器内にDMAHと水素とを供給し、この混合ガスを原料とするCVD法によって、ビア孔50のみに選択的にAlを堆積させる。これによって、ビアプラグ51を形成する(図2 (e), ステップ106)。

【0019】次に、層間絶縁膜40上に、この層間絶縁膜40或いはビアプラグ51のうちで、最も突出した表面が隠れる厚さに、SOG膜35を塗布し、必要に応じて加熱硬化(キュア)する(図3 (f))。このとき、例えば、400℃以上の温度で、30分以上キュアすることによって、ほぼ完全なSiO₂膜を得ることができるが、例えば、300℃で2分間、キュアして溶剤を蒸発させただけでも、十分に保護膜としての役割を果たす。

【0020】次に、ケミカルメカニカルポリッシング(CMP)法により、SOG膜35と共に、層間絶縁膜40の表面に突出したビアプラグ51の頭部を研磨して除去し、露出表面を平坦化する(図3 (g)、ステップ107)。この際、研磨液としては、pH10のシリカゾルを用い、120 kg/cm²の圧力で研磨パッドを使ってポリッシングを行う。なお、前出の図13 (a)に示したように、ビアプラグの頭部がビア孔内に位置し、ビアプラグの外縁部とビア孔の内壁との間に間隙が形成されている場合には、このCMPによって、層間絶縁膜40の上層部も研磨して除去し、図3 (g)に示す状態のように露出表面を平坦化する。

【0021】次に、このように平坦化した層間絶縁膜40に表面に、上述した下層金属配線30を形成した方法と同様の方法によって、スパッタ法によりAl合金を400ないし1000 nmの膜厚に堆積させ、Al合金膜61を形成する(図3 (h))。この後、Al合金膜61を所定のパターンに加工して、上層金属配線60を形成する。(図3 (i), ステップ108)。この際に使用されるAl合金は、上層金属配線60に用いられるものと下層金属配線30に用いられるものとで同一成分の合金であっても異なる成分の合金であってもよい。

【0022】なお、Si基板本体10内および表面には拡散層、ゲート電極などの半導体装置として必要な構造が形成されている。下地絶縁膜20の必要な位置には、コンタクト孔が存在し、下層金属配線30と、拡散層もしくはゲート電極あるいはその他の構造とを接続するコンタクト構造が形成されている。

【0023】＜実施例2＞他の実施例を図4のフローチャート、及び、図5、6の工程図に基づいて説明する。

【0024】まず、Si基板本体10の表面に下地絶縁膜20を形成した後、スパッタ法によって、この下地絶縁膜20上にCuが0.5重量%含まれるAl合金を500 nmの膜厚に堆積させ、Al合金膜31を形成する

(図5 (a), ステップ201)。

【0025】次に、Al合金膜31を所定のパターンに加工し、下層金属配線30を形成する(ステップ202)。配線パターンの形成は、露光装置を用いてレジストパターンを形成した後、塩素系のガスを用いたRIE(反応性イオンエッチング)によって行う。

【0026】次に、下層金属配線30が形成された下地絶縁膜20上に層間絶縁膜40を形成する(図5

(b)、ステップ203)。この層間絶縁膜40は、プラズマCVD法によってSiO₂膜を堆積させ、次いでこの上にSOG膜を形成した後、エッチバックを利用して形成する。

【0027】次に、層間絶縁膜40の上にフォトリジスト膜を形成した後、フッ素系のガスを用いたRIEによって、直径0.8 μmのビア孔50を層間絶縁膜40の所定の位置に形成する(図5 (c), ステップ204)。

【0028】次に、塩素系のガスを用いたプラズマエッチングにより、ビア孔50の底部に露出した、下層金属配線30表面に存在するアルミナ膜70を除去する(図5 (d), ステップ205)。

【0029】次に、大気にさらさずに反応容器に移送した後、この反応容器内にDMAHと水素とを供給し、この混合ガスを原料とするCVD法によって、ビア孔50のみにAlを選択的に堆積させる。これによって、ビアプラグ51を形成する(図5 (e), ステップ206)。

【0030】次に、ビアプラグ51を形成した基板の表面に、スピコート法を用いてエタノールを塗布し乾燥させる。乾燥させた後、テトラエトキシシラン(TEOS)とO₃とを原料とした常温CVD法(O₃-TEOS-CVD法)によって、この表面にSiO₂膜36を堆積させる(図6 (f))。形成したSiO₂膜(O₃-TEOS-CVD膜)は、埋め込み性に優れており、ビア孔の内壁と堆積したビアプラグとの間の繊細な間隙にも充填する。このSiO₂膜は、特に金属質表面上に堆積し易い性質を有しており、この結果、ビア孔の内壁とビアプラグとの間の隙間にも良好に堆積すると共に、プラグ部以外での膜厚を薄くしてもプラグ頭部を完全に覆うことができる。このため、実施例1と比較して薄いSiO₂膜でプラグの突出した部分を固定し、この後のCMP工程でプラグに与えられるダメージを防ぐことができ、プラグの信頼性を向上させることができる。

【0031】この後、ケミカルメカニカルポリッシング(CMP)法により、層間絶縁膜40の表面から突出したビアプラグの頭部を、SiO₂(O₃-TEOS-CVD膜)36と共に研磨して除去し、平坦化する(図6 (g)、ステップ207)。この際、研磨液としては、pH11のシリカゾルを用い135 kg/cm²の

圧力の研磨パッドを使ってポリシングを行う。この場合、初期にはプラグ部の盛り上がった部分の圧力が局所的に大きくなり、その部分のみが極めて速い速度で研磨が進行する。盛り上り部分が研磨され、全面がほぼ平坦になった後は、全面的に一定の速度で研磨が進むが、プラグ部以外の SiO_2 膜の膜厚を薄くしておけば、実施例1に比較して短い時間でCMPを終えることができる。

【0032】次に、このように平坦化した層間絶縁膜40に表面に、上述した下層金属配線30を形成した方法と同様の方法によって、スパッタ法によりAl合金を400乃至1000nmの膜厚に堆積させ、Al合金膜61を形成する(図6(h))。この後、Al合金膜61を所定のパターンに加工して、上層金属配線60を形成する(図6(i)、ステップ208)。この際に使用されるAl合金は、上層金属配線60に用いられるものと下層金属配線30に用いられるものとで同一成分の合金であっても異なる成分の合金であってもよい。

【0033】<実施例3>他の実施例を図7のフローチャート、及び、図8、9の工程図に基づいて説明する。

【0034】まず、Si基板本体10の表面に下地絶縁膜20を形成した後、スパッタ法によって、この下地絶縁膜20上にCuが0.5重量%含まれるAl合金を500nmの膜厚に堆積させ、Al合金膜31を形成する(図8(a)、ステップ301)。

【0035】次に、Al合金膜31を所定のパターンに加工し、下層金属配線30を形成する(ステップ302)。配線パターンの形成は、露光装置を用いてレジストパターンを形成した後、塩素系のガスを用いたRIE(反応性イオンエッチング)によって行う。

【0036】次に、下層金属配線30が形成された下地絶縁膜20上に層間絶縁膜40を形成する(図8

(b)、ステップ303)。この層間絶縁膜40は、プラズマCVD法によって SiO_2 膜を堆積させ、次いでこの上にSOG膜を形成した後、エッチバックを利用して形成する。

【0037】次に、層間絶縁膜40の上にフォトリソト膜を形成した後、フッ素系のガスを用いたRIEによって、直径0.8 μm のビア孔50を層間絶縁膜40の所定の位置に形成する(図8(c)、ステップ304)。

【0038】次に、塩素系のガスを用いたプラズマエッチングにより、ビア孔50の底部に露出した下層金属配線30表面に存在するアルミナ膜70を除去する(図8(d)、ステップ305)。

【0039】次に、大気にさらさずに反応容器に移送した後、この反応容器内にDMAHと水素とを供給し、この混合ガスを原料とするCVD法によって、ビア孔50のみにAlを選択的に堆積させる。これによって、ビアプラグ51を形成する(図9(e)、ステップ30

6)。この際、ビア孔50の内壁とビアプラグ51との間に間隙が形成されないように十分に堆積させる。

【0040】次に、ビアプラグを形成した基板を、Jacquet法と同様の電解液組成(60%過塩素酸220cc、90%無水素酸780cc)において、電流密度10A/dm²、浴温度30℃、電解時間3分の電解条件で、ビア孔50の開孔端から突出したプラグ金属(A1)を電解研磨によって除去する。これによって、層間絶縁膜40の表面は、平坦化される(図9(f)、ステップ307)。

【0041】次に、このように平坦化した層間絶縁膜40に表面に、上述した下層金属配線30を形成した方法と同様の方法によって、スパッタ法によりAl合金を400乃至1000nmの膜厚に堆積させ、Al合金膜61を形成する(図9(g))。この後、Al合金膜61を所定のパターンに加工して、上層金属配線60を形成する。(図6(h)、ステップ308)。この際に使用されるAl合金は、上層金属配線60に用いられるものと下層金属配線30に用いられるものとで同一成分の合金であっても異なる成分の合金であってもよい。

【0042】<実施例4>他の実施例を図10のフローチャート、及び、図11、12の工程図に基づいて説明する。

【0043】まず、Si基板本体10の表面に下地絶縁膜20を形成した後、スパッタ法によって、この下地絶縁膜20上にCuが0.5重量%含まれるAl合金を500nmの膜厚に堆積させ、Al合金膜31を形成する(図11(a)、ステップ401)。

【0044】次に、Al合金膜31を所定のパターンに加工し、下層金属配線30を形成する(図11(b)参照、ステップ402)。配線パターンの形成は、露光装置を用いてレジストパターンを形成した後、塩素系のガスを用いたRIE(反応性イオンエッチング)によって行う。

【0045】次に、下層金属配線30が形成された下地絶縁膜20上に層間絶縁膜40を形成する(図11

(b)、ステップ403)。この層間絶縁膜40は、プラズマCVD法によって SiO_2 膜を堆積させ、次いでこの上にSOG膜を形成した後、エッチバックを利用して形成する。

【0046】次に、層間絶縁膜40の上にフォトリソト膜を形成した後、フッ素系のガスを用いたRIEによって、層間絶縁膜40の所定の位置にビア孔を形成する(図11(c)、ステップ404)。なお、この際、径と深さの異なるビア孔A(0.5 μm 径×0.8 μm 深さ)、B(0.8 μm 径×1.8 μm 深さ)及びC(0.5 μm 径×1.5 μm 深さ)を形成した。

【0047】次に、塩素系のガスを用いたプラズマエッチングにより、ビア孔A～Cの底部に露出した、下層金属配線30表面に存在するアルミナ膜70を除去する

(図11(d), ステップ405)。

【0048】次に、大気にさらさずに反応容器に移送した後、この反応容器内にDMAHと水素とを供給し、この混合ガスを原料とするCVD法によって、ビア孔A～CのみにAlを選択的に堆積させる。これによって、ビアプラグ51を形成する(図12(e), ステップ406)。なお、堆積の程度は、径と深さの異なるビア孔が存在するため、もっとも深いビアBについて、ビア孔最上表面における横断面を考えた場合のビア孔に対するビアプラグの面積比が、0.8以上になるまでAlを堆積させた。このため、その他のビア孔AおよびCにおいては、Alが突出して溢れる状態となった。

【0049】次に、ビアプラグを形成した基板をJacquet法と同様の電解液組成(60%過塩素酸220cc、90%無水酢酸780cc)において、電流密度10A/dm²、浴温度30℃、及び電解時間3分の電解条件で、ビア孔から突出したAlを電解研磨によって除去し、平坦化する(図12(f)、ステップ407)。電解は、突出した部分から優先的に行われるため、ビア孔A、Cにおける突出して溢れたAlがまず除去され、ビア孔Bはほとんど電解されることなく、全体が平坦化される。基板表面の平坦化方法は、このような電解研磨に限るものではなく、実施例1あるいは2に示したように、SOG膜や、O₃-TEOS-CVD膜によって、ビア孔内壁とプラグとの隙間を埋めつつ突出したAlを固定した後、CMP法を実施してもよい。

【0050】次に、このように平坦化した層間絶縁膜40の表面に、上述した下層金属配線30を形成した方法と同様の方法によって、スパッタ法によりAl合金を400乃至1000nmの膜厚に堆積させ、Al合金膜61を形成する(図12(g)、ステップ408)。

【0051】次に、Al合金膜61を所定のパターンに加工して、上層金属配線60を形成し、多層配線構造を形成する(図12(h)、ステップ408)。なお、このとき使用されるAl合金は、上層金属配線60に用いられるものと下層金属配線30に用いられるものと同一成分の合金であっても異なる成分の合金であってもよい。

【0052】なお、各実施例において、プラグ金属よりも硬質な絶縁性の保護膜として、SOG法によるSiO₂膜、O₃-TEOS-CVD法による膜SiO₂膜を例示したが、この他にも、SiN膜などを使用することもできる。

【0053】

【発明の効果】以上説明したように、本発明にかかる第1の半導体装置の製造方法によれば、ビア孔の開孔端から上方にプラグ金属が突出するように堆積させ、この突出したプラグ金属をSOG膜などの固い保護膜で覆う

こととしたので、比較的柔らかいAlを含むプラグ金属に対しても、CMPを施し、表面を平坦化することが可能となる。

【0054】また、ビア孔内へのプラグ金属の埋め込みが不十分であっても、ビア孔内壁とビアプラグと間の隙間にも保護膜が充填されるが、この際には、CMPによって、保護膜と共に層間絶縁膜の上層部を除去することにより、露出表面を平坦化することが可能である。

【0055】また、本発明にかかる第2の半導体装置の製造方法によれば、層間絶縁膜の表面からプラグ金属が盛り上がるようにして、ビア孔内に隙間なくプラグ金属を堆積させ、この後、この層間絶縁膜の表面に電解研磨を施すこととしたので、層間絶縁膜の表面から突出したプラグ金属のみを除去することができ、これによって、露出表面を平坦化することが可能となる。

【図面の簡単な説明】

【図1】実施例1にかかる製造工程を示すフローチャートである。

【図2】(a)～(e)は、実施例1にかかる各製造工程を順に示す工程図である。

【図3】(f)～(i)は、図2に続く製造工程を順に示す工程図である。

【図4】実施例2にかかる製造工程を示すフローチャートである。

【図5】(a)～(e)は、実施例1にかかる各製造工程を順に示す工程図である。

【図6】(f)～(i)は、図5に続く製造工程を順に示す工程図である。

【図7】実施例3にかかる製造工程を示すフローチャートである。

【図8】(a)～(d)は、実施例3にかかる各製造工程を順に示す工程図である。

【図9】(e)～(h)は、図8に続く製造工程を順に示す工程図である。

【図10】実施例4にかかる製造工程を示すフローチャートである。

【図11】(a)～(d)は、実施例4にかかる各製造工程を順に示す工程図である。

【図12】(e)～(h)は、図11に続く製造工程を順に示す工程図である。

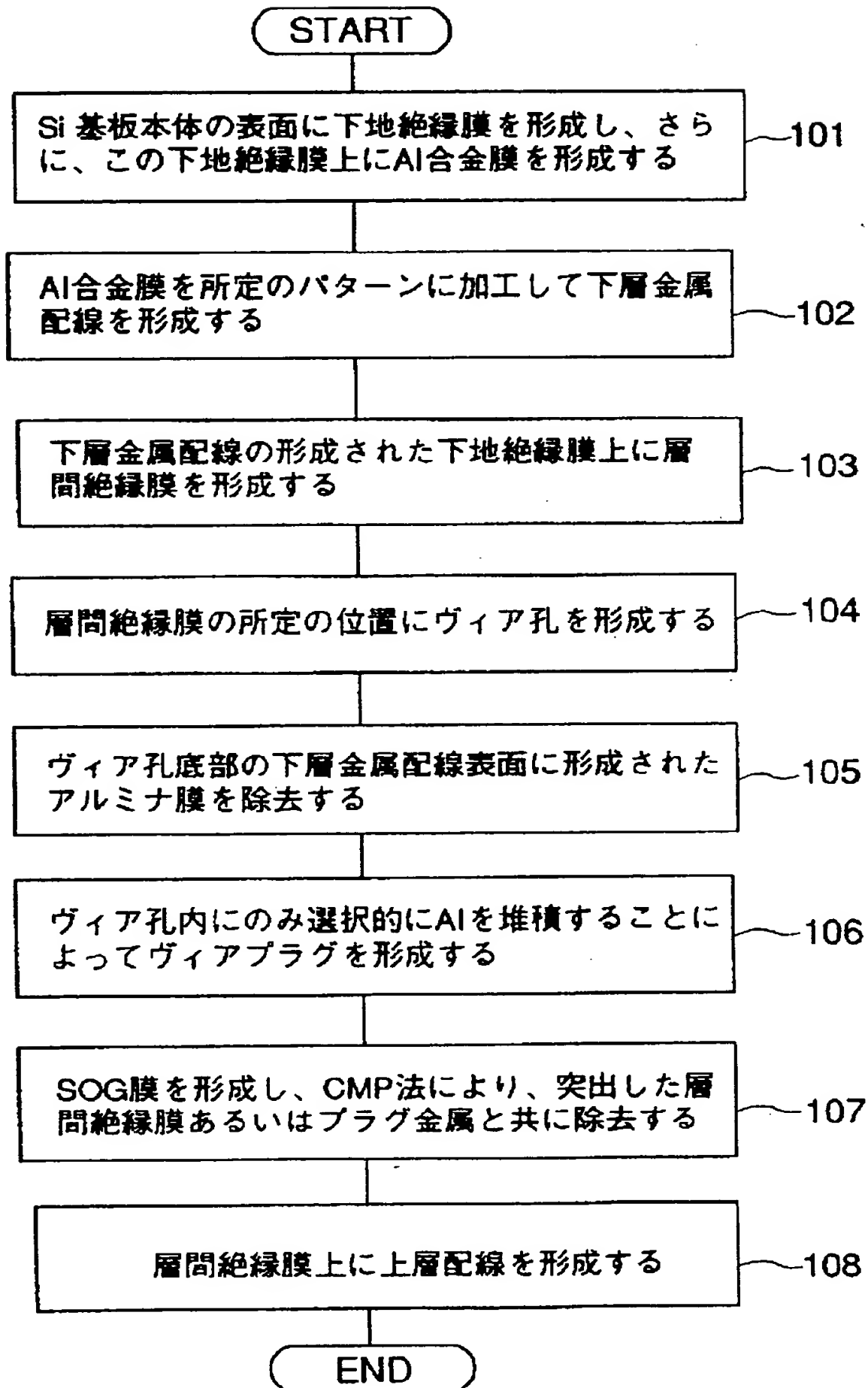
【図13】(a), (b)は、従来の製造方法を示す工程図である。

【図14】(a), (b)は、従来の製造方法を示す工程図である。

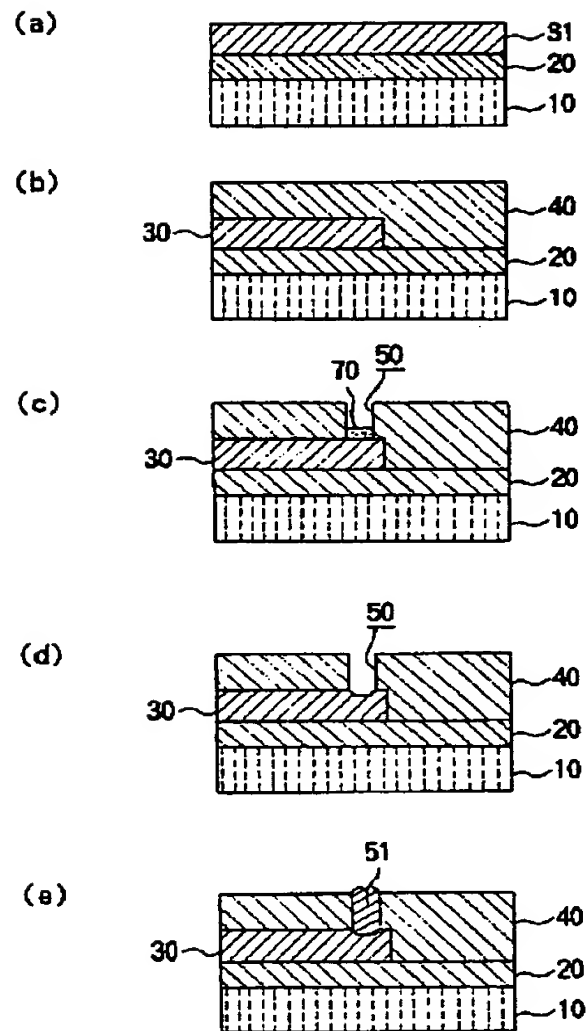
【符号の説明】

10…Si基板本体、20…下地絶縁膜、30…下層金属配線、35…SOG膜(保護膜)、36…SiO₂(保護膜)、40…層間絶縁膜、50…ビア孔、51…ビアプラグ、60…上層金属配線

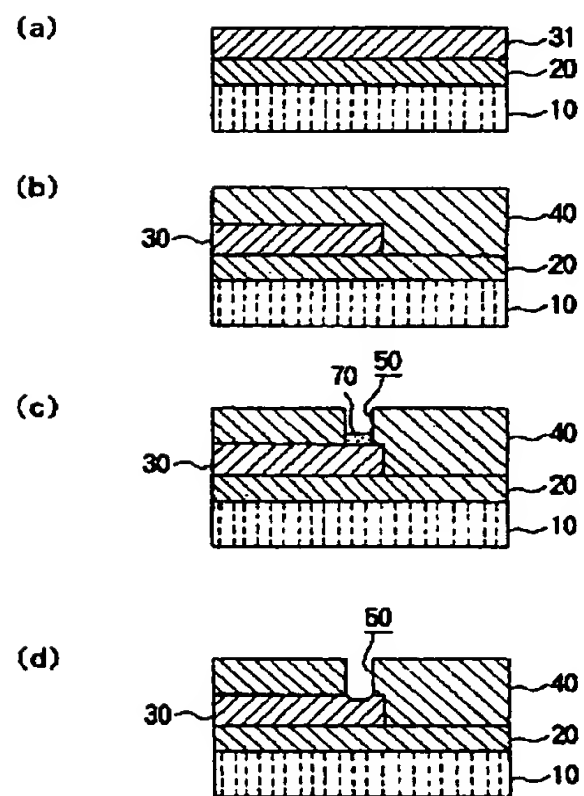
【図1】



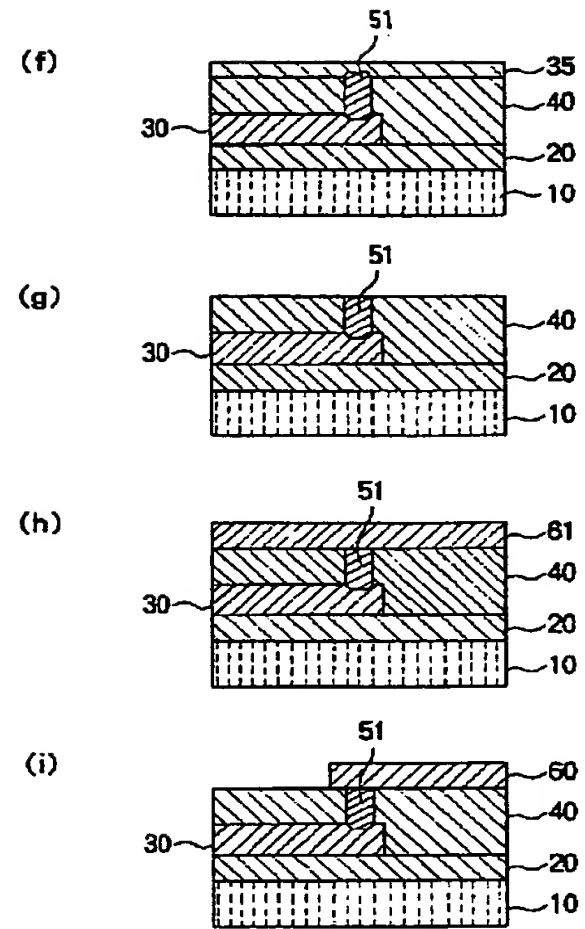
【図2】



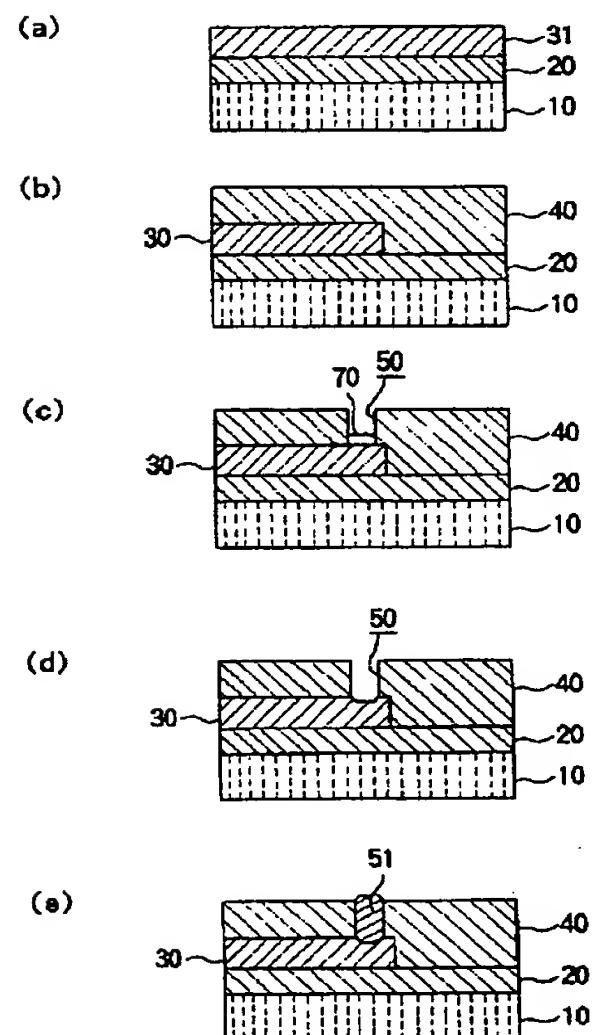
【図8】



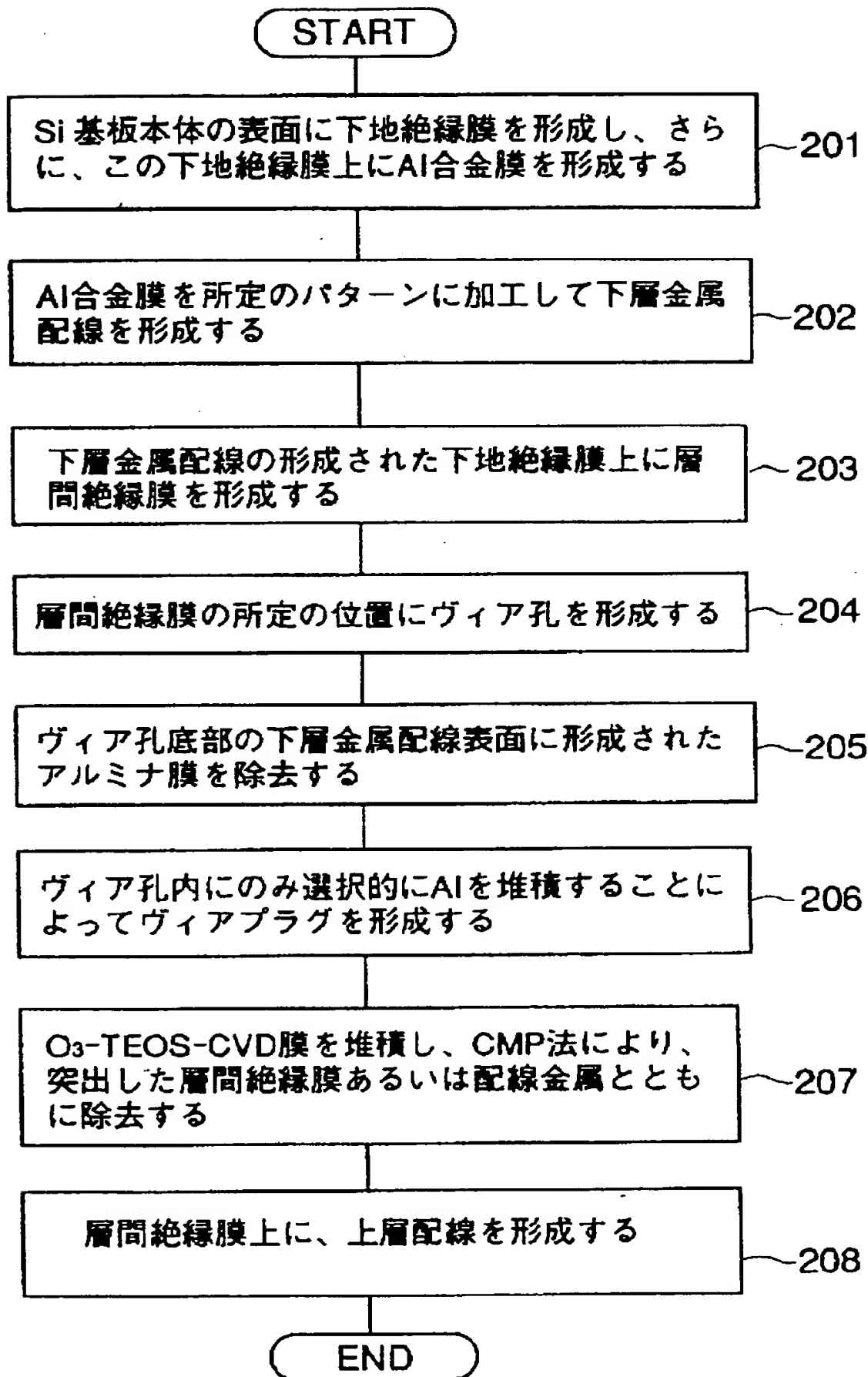
【図3】



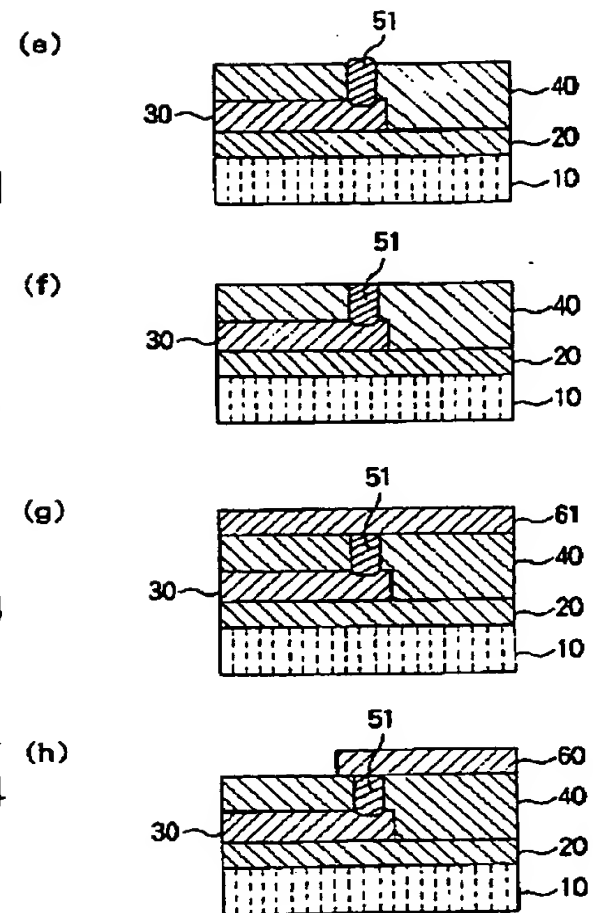
【図5】



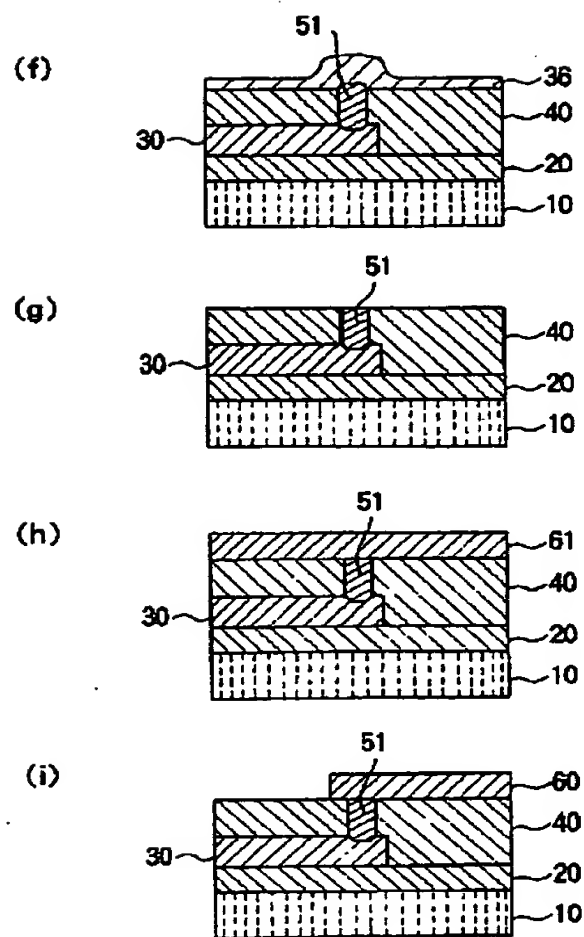
【図4】



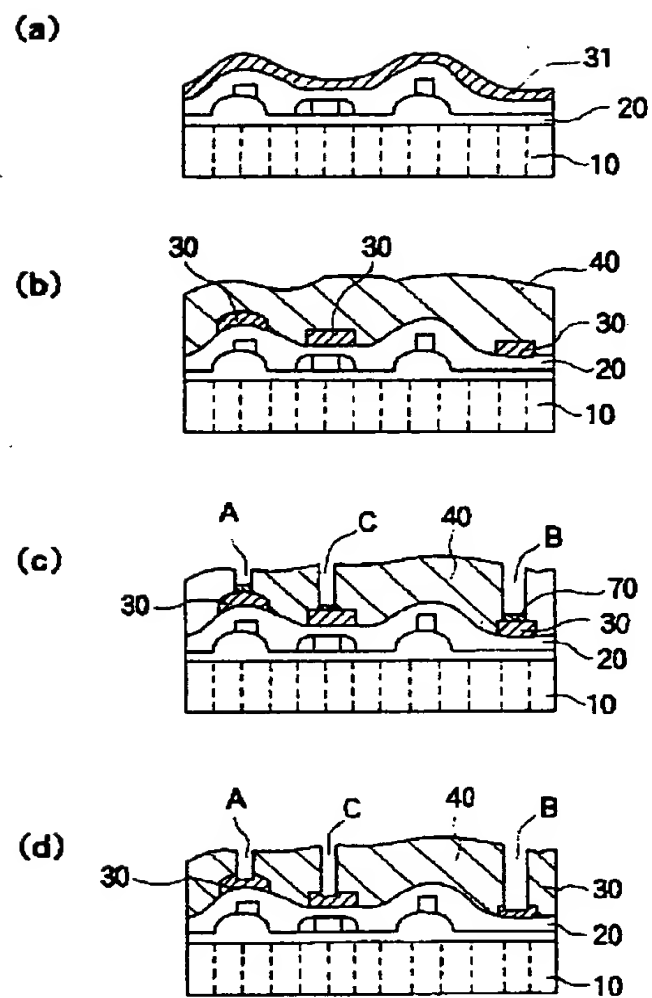
【図9】



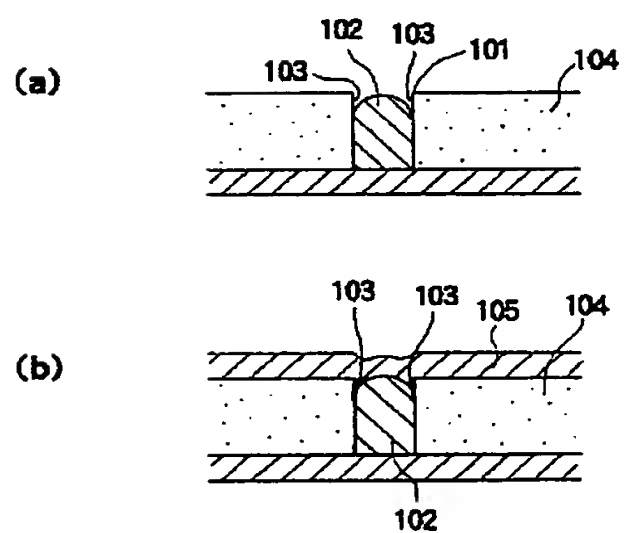
【図6】



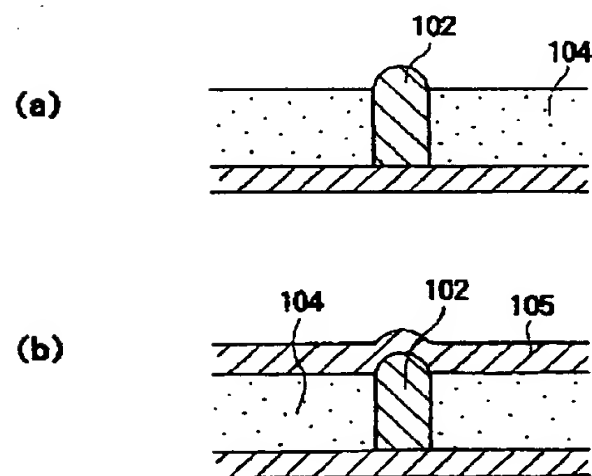
【図11】



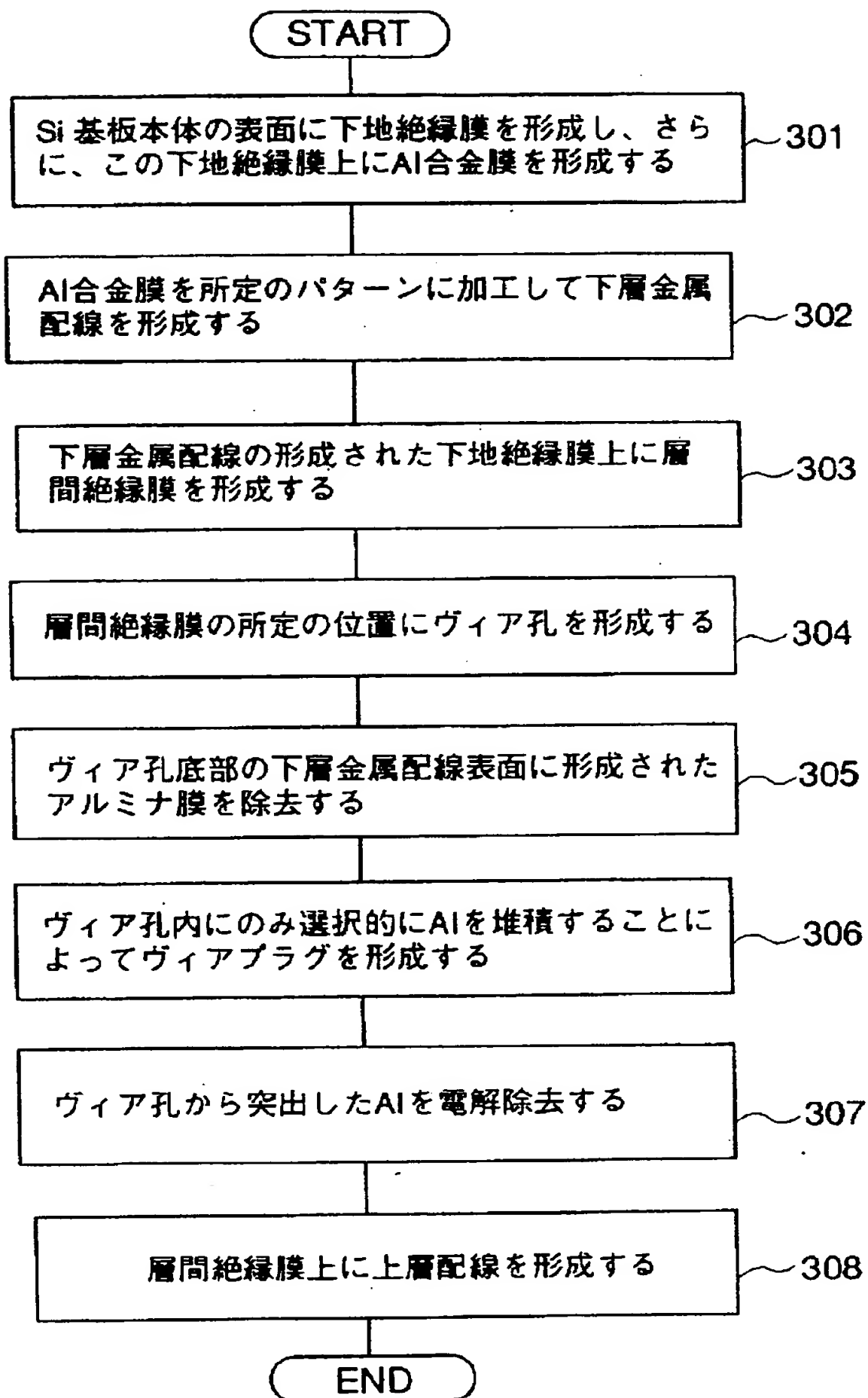
【図13】



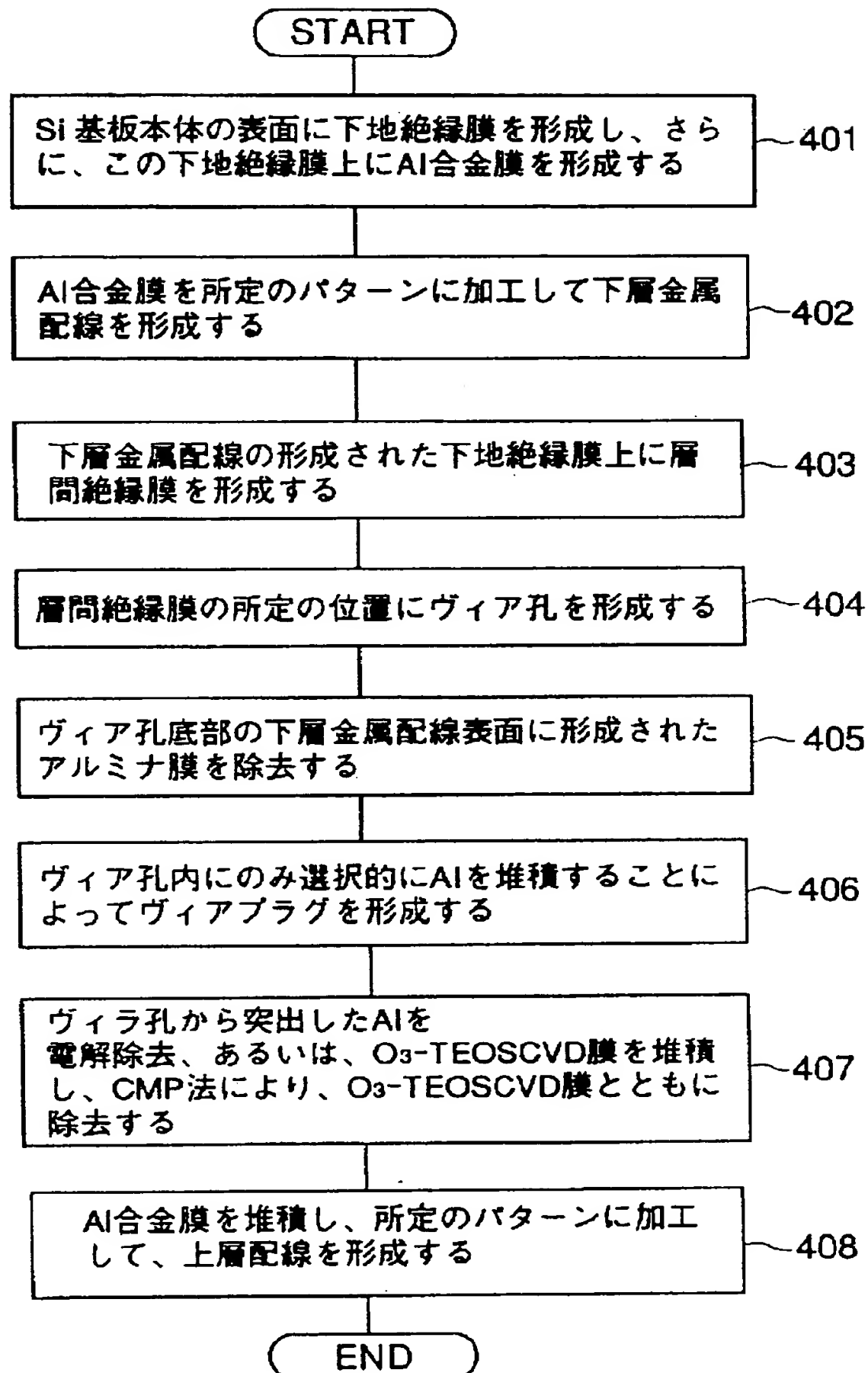
【図14】



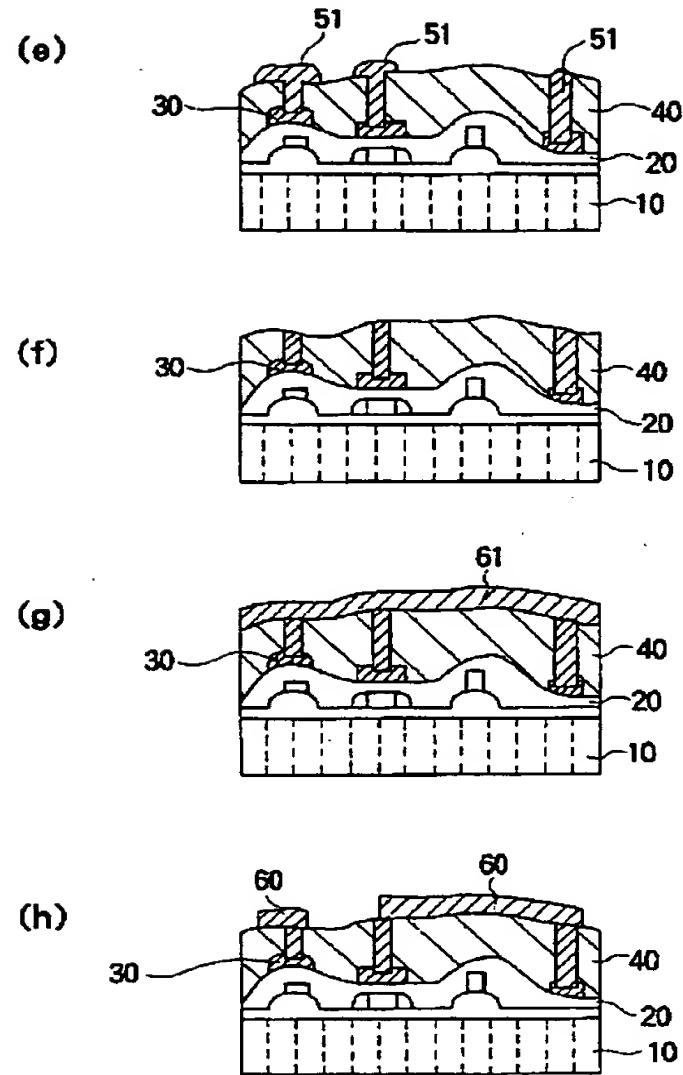
【図7】



【図10】



【図 12】



フロントページの続き

(72) 発明者 近藤 英一

千葉県千葉市中央区川崎町 1 番地 川崎製
鉄株式会社技術研究本部内

(72) 発明者 山本 浩

千葉県千葉市中央区川崎町 1 番地 川崎製
鉄株式会社技術研究本部内

(72) 発明者 太田 与洋

千葉県千葉市中央区川崎町 1 番地 川崎製
鉄株式会社技術研究本部内